

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079920

(43)Date of publication of application : 24.03.1998

(51)Int.Cl.

H04N 5/937

G06F 12/00

G06F 12/00

G06T 1/00

G11C 7/00

H04N 5/262

H04N 5/907

(21)Application number : 08-231863

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 02.09.1996

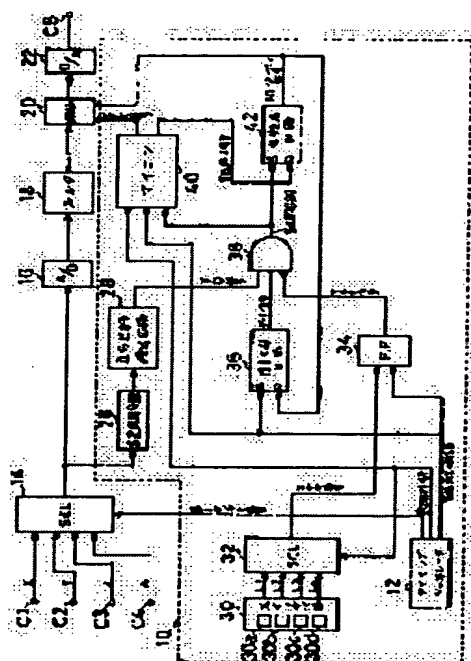
(72)Inventor : AMINO TADASHI
MIYAZAKI YOSHIYUKI

(54) MEMORY CONTROL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To output a desired video from a monitor even when still control is turned ON/OFF at any timing by latching a still signal in a prescribed period.

SOLUTION: Each video signal X to A is selected by a selector 14 every prescribed period and given to VRAM 20 through an A/D converter 16 and a filter 18. For instance, when a switch 30 is pressed, a still signal of a video signal Y is outputted from a selector 32 and latched by a flip-flop circuit 34 in accordance with a write timing signal. The output of a write start signal from a logic circuit 88 is inhibited so that a mask signal that is generated by the circuit 34 may mask a VD signal and a gate signal. Therefore, the output of an address signal and a write enable signal from a microcomputer 40 and a signal generating circuit 42 is also inhibited, and the still picture of the video signal Y which is written in the VRAM 20 is outputted from a monitor at this point of time.



LEGAL STATUS

[Date of request for examination]

12.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3268981

[Date of registration]

18.01.2002

BEST AVAILABLE COPY

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the memory control circuit which outputs a still picture by forbidding the output of the write-in signal over a desired memory area based on the still signal corresponding to a desired video signal while outputting an animation by writing each of two or more video signals in a predetermined memory area especially about a memory control circuit with the write-in signal which switches for every predetermined period, for example.

[0002]

[Description of the Prior Art] In the conventional memory control circuit 1 shown in drawing 11, each of the video signals X, Y, Z, and A chosen by the selector 4 every 3 fields is written in four memory areas formed in VRAM5 according to the address signal and write enable signal which were outputted from each of a microcomputer 2 and the signal generation circuit 3. That is, when still control is not applied, as shown in drawing 12 (D), since a still signal is a low level, from a logical circuit 6, the signal by which the gate was applied to VD signal shown in drawing 12 (B) with the gate signal shown in drawing 12 (E) is outputted as a write-in start signal shown in drawing 12 (F). If a microcomputer 2 outputs the address signal of a desired field according to this write-in start signal and it finishes specifying the address, it will give the write-in terminate signal shown in drawing 12 (G) to the signal generation circuit 3. The signal generation circuit 3 makes a write enable signal high-level according to a write-in start signal, and makes a write enable signal a low level according to a write-in terminate signal so that drawing 12 (F) - (H) may show. Thus, the dynamic image of video signals X, Y, Z, and A has projected from the monitor.

[0003] Moreover, synchronizing with the write-in timing signal shown in drawing 13 (C), if still control is applied, for example to video signals Y and A, as shown in drawing 13 (D), a still signal will serve as predetermined period high level corresponding to video signals Y and A. Therefore, a write-in start signal is not outputted from the period logical circuit 6, and an address signal and a write enable signal are not outputted from a microcomputer 2 and the signal generation circuit 3. Thus, the static image of the video signals Y and A currently written in VRAM at present projects on a monitor.

[0004]

[Problem(s) to be Solved by the Invention] However, with such a conventional technique, there was a possibility that the image which was mistaken from the monitor depending on the timing which turns off still control might be outputted. That is, if still control is turned off to the timing P5 and P6 shown, for example in drawing 14, since the gate will not start VD signal just behind that, a write-in signal is outputted immediately after timing P5 and P6 so that drawing 14 (F) may show. Therefore, video signals Y and Z and a video signal A will be written in the memory area where a video signal Y and a video signal X should be written in. For this reason, the mistaken image as shown in drawing 15 from a monitor was outputted.

[0005] So, even if the main purpose of this invention turns on / turns off still control to what kind of timing, it is offering the memory control circuit which can output a desired image from a monitor.

[0006]

[Means for Solving the Problem] A write-in means by which this invention writes each of two or more video signals in a predetermined memory area with the write-in signal outputted once to a predetermined period, And it sets to a memory control circuit equipped with a prohibition means to forbid the output of the write-in signal over a desired memory area based on the still signal corresponding to a desired video signal. It is the memory control circuit which is further equipped with a latch means to latch a still signal for every predetermined period, and is characterized by giving the output of a latch means to a prohibition means.

[0007]

[Function] When still control is not applied, a write-in signal is given to each of two or more memory areas formed in VRAM for every predetermined period. Each of two or more video signals is written in a predetermined memory area by the write-in signal. For this reason, two or more dynamic images are outputted, for example from a monitor. If still control is applied to a desired video signal, the still signal of the video signal will be latched by the latch means, and the output of a write-in signal will be forbidden with the output of the latch means. For this reason, a static image is outputted from the predetermined area of a monitor.

[0008]

[Effect of the Invention] According to this invention, since the output of a write-in signal was forbidden with the output of a latch means, that prohibition period cannot be changed by the timing of ON/OFF of still control, and a desired image can be outputted from a monitor. The above-mentioned purpose of this invention, the other purposes, the description, and an advantage will become still clearer from the detailed explanation of the following examples given with reference to a drawing.

[0009]

[Example] With reference to drawing 1, the memory control circuit 10 of this example contains a timing generator 12. A timing generator 12 gives the 1st select signal to a selector 14, and a selector 14 chooses each of the composite video signals X, Y, Z, and A inputted from input terminals C1-C4 every 3 field by this. Therefore, from a selector 14, the video signal shown in drawing 6 (A), drawing 7 (A), drawing 8 (A), and drawing 9 (A) is outputted. After this video signal is changed into a digital signal with A/D converter 16, with a filter 18, it is set horizontally and thinned out at intervals of a pixel.

[0010] Then, it is written in VRAM20 to which the video signal from a filter 18 has 718 dots in the direction of a column as shown in drawing 2 in 448 lines and the direction of a row with a write-in signal, i.e., the address signal from a microcomputer 40 and the write enable signal from the signal generation circuit 42. By writing a video signal X in a memory area x, a video signal Y is written in memory area y, and a video signal Z is written in memory area z, and, specifically, a video signal A is written in memory area a. In addition, each of memory area x-a = (a column, row) (0 0) since it has 224 line x359 dot magnitude on the basis of the address, and (224 (0,359) 0) (224,359) can write video-signal X-A which is the 1 field, i.e., 224 lines, where interlaced processing was made in VRAM20, only by setting horizontally.

[0011] After the video signals X-A written in VRAM20 are read by the interlace method by the read-out signal which is not illustrated and are changed into an analog signal with D/A converter 22 by it, they are outputted from an output terminal c5. And as shown in drawing 10 from a monitor, video-signal X-A is outputted. The Vertical Synchronizing signal included in video-signal X-A outputted from the selector 14 is separated in the vertical-synchronization separation circuit 26 included in the memory control circuit 10, and the startup of the separated Vertical Synchronizing signal starts and is detected in a detector 28. Therefore, from the startup detector 28, as shown in drawing 6 (B), drawing 7 (B), drawing 8 (B), and drawing 9 (B), VD signal which synchronized with the startup of the Vertical Synchronizing signal included in video-signal X-A is outputted. Moreover, from a switching circuit 30, the level of the still signal corresponding to each of video-signal X-A is switched according to an operator's control. That is, if switch 30a is turned on by the operator, the still signal which leads Rhine L1 will become high-level, if switch 30b is turned on, the still signal which leads Rhine L2 will become high-level, if switch 30c is turned on, the still signal which leads Rhine L3 will become high-level, and the still signal which leads Rhine L4 when switch 30d is turned on becomes high-level.

[0012] The 2nd select signal is given to a selector 32 from a timing generator 12. The 2nd select signal is 2-bit data, and after the output of a selector 14 is switched, a data value is switched behind 1 field. That is, after a video signal X is outputted, a data value is set to "00" after 1 field, after a video signal Y is outputted, a data value is set to "01" after 1 field, after a video signal Z is outputted, a data value is set to "10" after 1 field, and after a video signal A is outputted, a data value is set to "11" after 1 field. And the still signal with which each of "00" - "11" was answered, namely, the period corresponding to each of video-signal X-A and the selector 30 minded Rhine L1-L4 is chosen.

[0013] Therefore, although the still signal outputted from a selector 32 is always a low level as shown in drawing 6 (D) if an operator pushes Switches [30a-30d] neither An operator if Switches 30b and 30d are pushed to the timing P1 and P2 shown in drawing 7 , for example, the still signal outputted from a selector 32 As shown in drawing 7 (D), it starts to timing P1 and P2, and as shown in drawing 8 (D) after that, a still signal starts over the period corresponding to video signals Y and A. And whenever it turns off Switches 30b and 30d to the timing P3 and P4 which an operator shows to drawing 9 , as shown in drawing 9 (D), a still signal falls to the timing P3 and P4, and a still signal serves as a low level after that.

[0014] Synchronizing with a switch of the 2nd select signal, after the output from a selector 14 is switched, as shown in drawing 6 (C), drawing 7 (C), drawing 8 (C), and drawing 9 (C), from a timing generator 12, a write-in timing signal is outputted behind 1 field, again. In addition, this write-in timing signal serves as period high level equivalent to the period of the clock which is not illustrated. In a flip-flop circuit 34, the still signal from a selector 32 is latched by the write-in timing signal, and the mask signal shown in drawing 6 (E), drawing 7 (E), drawing 8 (E), and drawing 9 (E) is outputted by this from a flip-flop circuit 34. Therefore, as shown in drawing 6 (D), whenever a still signal is always a low level, a mask signal will serve as a low level, as shown in drawing 6 (E).

[0015] However, when the level of the still signal from a selector 32 changes, in a flip-flop circuit 34, a still signal is latched to the timing to which a write-in timing signal falls, and the level signal in the timing turns into a mask signal. Therefore, although a mask signal always serves as a low level as shown in drawing 7 (E) since a still signal is a low level by chance at the time of falling of the write-in timing signal shown in drawing 7 (C) in drawing 7 as shown in drawing 7 (D) In drawing 8 , since a still signal becomes high-level over the period corresponding to video signals X and A as shown in drawing 8 (D), 1 clock delay ***** of the mask signal is carried out so that drawing 8 (E) may show from a still signal. Moreover, although a still signal falls to timing P3 and P4 at drawing 9 , since the still signal is high-level at the time of falling of the write-in timing signal outputted just before timing P3 and P4, a mask signal maintains high level to falling of the write-in timing signal outputted after timing P3 and P4, as shown in drawing 9 (E).

[0016] The signal generation circuit 36 receives a write-in timing signal from a set terminal, and receives a write enable signal from a reset terminal, and outputs a gate signal. That is, as shown in drawing 6 (F), drawing 7 (F), drawing 8 (F), and drawing 9 (F), the signal generation circuit 36 starts 1 clock ***** gate signal in the standup of a write-in timing signal, and brings down 1 clock ***** gate signal in the standup of a write enable signal. Explanation of the signal generation circuit 36 gives the write-in timing signal given to the set terminal C6 to OR circuit 36c, as shown in drawing 3 . Moreover, the write enable signal given to the reset terminal C7 is given to AND-circuit 36b through inverter circuit 36a. The output of 36d of flip-flop circuits is given to AND-circuit 36b again, and both AND signal is given to OR circuit 36c. And OR signal from OR circuit 36c is given to 36d of flip-flop circuits. The output of 36d of flip-flop circuits is outputted from a terminal C8 again.

[0017] If a signal as followed, for example, shown in drawing 4 (B) is given to the reset terminal C7, according to the signal and the output of 36d of flip-flop circuits, the AND signal shown in drawing 4 (C) from AND-circuit 36b will be outputted. On the other hand, if the signal shown in drawing 4 (A) from the set terminal C6 is given, according to the signal and AND signal, OR signal as shown in drawing 4 (D) from OR circuit 36c will be outputted. Since 36d of flip-flop circuits latches OR signal for every clock, as shown in drawing 4 (E), from 36d of flip-flop circuits, 1 clock delay ***** is outputted to OR signal. That is, from the signal generation circuit 36,

***** is outputted to the standup of the input to the set terminal C6 for the bottom of 1 clock delay ***** at 1 clock delay ***** and the standup of an input of the reset terminal C7. In addition, when the input of the set terminal C6 and the input of the reset terminal C7 start to coincidence, priority is given to the direction of an input of the set terminal C6, but in this example, since it is not generated, it is not necessary to consider such a situation.

[0018] It returns to drawing 1 , and starts in a logical circuit 38, and VD signal from a detector 28, the gate signal from the signal generation circuit 36, and the mask signal from a flip-flop circuit 34 are given. When Switches 30b and 30d are turned on to the timing P1 and P2 shown in the time of the operator turning Switches [30a-30d] neither on, or drawing 7 when still control is not applied namely Since a mask signal is always a low level like drawing 6 (E) and drawing 7 (E), from a logical circuit 38, the OR of VD signal and a gate signal is outputted as a write-in start signal which directs initiation of a store. That is, from a logical circuit 38, as shown in drawing 6 (G), the gate is applied only to one VD signal following a write-in timing signal. A mask is covered over VD signal and a gate signal by it, and the output of the write-in start signal of the period is forbidden at the period when a mask signal becomes high-level like drawing 8 (E) and drawing 9 (E) on the other hand. For this reason, the output of the address signal from a microcomputer 40 and the output of the write enable signal from the signal generation circuit 42 are also forbidden.

[0019] A microcomputer 40 receives a write-in start signal, the 2nd select signal from a timing generator 12, and a write-in timing signal, and outputs the write-in terminate signal which shows that the address signal and the store were completed according to the flow Fig. shown in drawing 5 . A write-in terminate signal serves as 1 clock period high level after the about 1 field, as shown in drawing 6 (H), drawing 7 (H), drawing 8 (H), and drawing 9 (H) after [when the output of an address signal is completed, namely,] a write-in start signal is outputted. On the other hand, the signal generation circuit 42 outputs a write enable signal, as shown in drawing 6 (I), drawing 7 (I), drawing 8 (I), and drawing 9 (I) according to a write-in start signal and a write-in terminate signal. That is, a write-in start signal is received from a set terminal, and 1 clock ***** write enable signal is started from the standup. Moreover, a write-in terminate signal is received from a reset terminal, and 1 clock ***** write enable signal is brought down from the standup of a write-in terminate signal. In addition, since the signal generation circuit 42 is constituted like the signal generation circuit 36, it omits the duplicate explanation.

[0020] It explains using the flow Fig. showing processing of a microcomputer 40 in drawing 5 . A microcomputer 40 judges whether the write-in timing signal started at step S1 first, if it is "NO", it will return to step S1, but if it is "YES", the data value of the 2nd select signal will be distinguished by each of step S3 - S9. And if a data value is "00", will make the starting address of a store into = (a column, low) (0 0) at step S11, and if a data value is "01" Make a starting address into = (a column, low) (0,359) at step S13, and if a data value is "10" A starting address is made into = (a column, low) (224 0) at step S15, and if a data value is "11", a starting address will be made into = (a column, low) (224,359) at step S17. Then, it judges whether the write-in start signal was given at step S19, if it is "NO", it will return to step S3, but if it is "YES", an address signal will be outputted to 224 lines and the field of 359 dots on the basis of a starting address at step S19. And after the output of an address signal is completed, a write-in terminate signal is outputted at step S23, and it returns to step S1. For this reason, a write enable signal falls after 1 clock, after the output of an address signal is completed. In addition, after the write-in timing signal started, in order to perform write-in processing for a video signal, after the output of a selector 14 switches, a clock can be locked in a Vertical Synchronizing signal using 1 field period.

[0021] According to this example, when still control is not applied like drawing 6 , since the mask signal outputted from a flip-flop circuit 34 is always a low level, only one VD signal following a write-in timing signal is given to a microcomputer 40 and the signal generation circuit 42 as a write-in start signal by the gate signal from the signal generation circuit 36. For this reason, according to a write-in start signal, an address signal and a write enable signal are outputted from a microcomputer 40 and the signal generation circuit 42, and a write enable signal falls by the write-in terminate signal. Therefore, video-signal X-A chosen by the selector 14 is written in

memory area x-a of VRAM20. For this reason, from a monitor, the dynamic image corresponding to video-signal X-A is outputted.

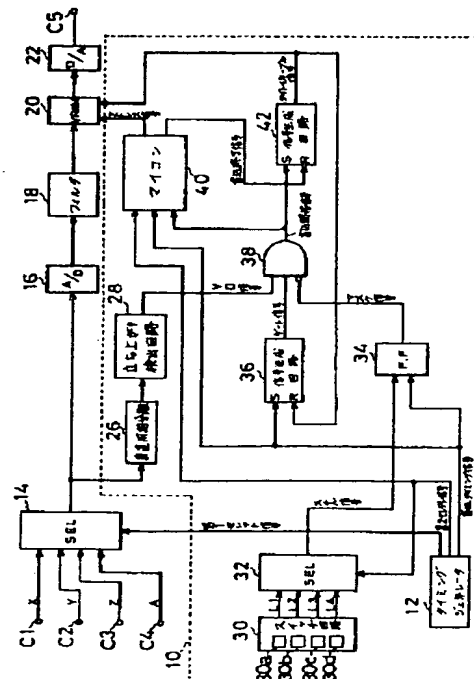
[0022] As by being latched in a flip-flop circuit 34 according to the write-in timing signal which the still signal shows to drawing 7 (C) although the still signal shown in drawing 7 (D) from a selector 32 when still control is applied to video signals Y and A to the timing P1 and P2 shown in drawing 7 is outputted shows a mask signal to drawing 7 (E), it is still set to a low level. For this reason, at this time, a dynamic image is still outputted from a monitor 24.

[0023] However, as shown in drawing 8 (D), in order that the still signal corresponding to video signals Y and A may start from next time synchronizing with the standup of a write-in timing signal, from a flip-flop circuit 34, 1 clock ***** mask signal is outputted from the still signal. Therefore, the output of the address signal from the period microcomputer 40 with which a mask signal becomes high-level, and the signal generation circuit 42, and a write enable signal is forbidden, and video signals Y and A are not written in the memory areas y and a of VRAM20. Therefore, from a monitor, the static image corresponding to the video signals Y and A currently written in VRAM20 at present is outputted. Then, if still control is turned off to the timing P3 and P4 shown in drawing 9, as shown in drawing 9 (D), a still signal will fall to the timing. However, timing P3 and P4 or subsequent ones maintain high level, and a mask signal falls synchronizing with falling of a write-in timing signal, as shown in drawing 9 (E). For this reason, like the timing shown in drawing 8, video signals Y and A are not written in the memory areas y and a of VRAM20, but the static image corresponding to the video signals Y and A currently written in at present is outputted from a monitor 24.

[0024] Since the still signal was latched in the flip-flop circuit 34 according to the write-in timing signal, even if it turns on / turns off still control to what kind of timing according to this example, as shown in drawing 10, a desired image can be outputted from a monitor.

[Translation done.]

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】複数の映像信号のそれぞれを所定期間に1回出力される書込信号によって所定のメモリ領域に書き込む書込手段、および所望の映像信号に対応するスチル信号に基づいて所望のメモリ領域に対する前記書込信号の出力を禁止する禁止手段を備えるメモリ制御回路において、

前記スチル信号を前記所定期間毎にラッチするラッチ手段をさらに備え、前記ラッチ手段の出力を前記禁止手段に与えるようにしたことを特徴とする、メモリ制御回路。

【請求項2】前記複数の映像信号のそれぞれは前記所定期間毎に切り換えられて前記所定のメモリ領域に与えられ、前記所定期間は少なくとも2フィールド期間である、請求項1記載のメモリ制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はメモリ制御回路に関し、特にたとえば複数の映像信号のそれぞれを所定期間毎に切り換わる書込信号によって所定のメモリ領域に書き込むことによって動画を出力するとともに、所望の映像信号に対応するスチル信号に基づいて所望のメモリ領域に対する書込信号の出力を禁止することによって静止画を出力する、メモリ制御回路に関する。

【0002】

【従来の技術】図11に示す従来のメモリ制御回路1では、マイコン2および信号生成回路3のそれぞれから出力されたアドレス信号およびライトイネーブル信号に従って、セレクト4によって3フィールド毎に選択された映像信号X、Y、ZおよびAのそれぞれがVRAM5に形成された4つのメモリ領域に書き込まれる。すなわち、スチル制御がかけられていないときは、図12(D)に示すようにスチル信号はローレベルであるため、論理回路6からは図12(B)に示すVD信号に図12(E)に示すゲート信号によってゲートがかけられた信号が、図12(F)に示す書込開始信号として出力される。マイコン2はこの書込開始信号に従って所望の領域のアドレス信号を出力し、アドレスを指定し終わると図12(G)に示す書込終了信号を信号生成回路3に与える。信号生成回路3は図12(F)～(H)からわかるように、書込開始信号に従ってライトイネーブル信号をハイレベルとし、書込終了信号に従ってライトイネーブル信号をローレベルとする。このようにして、モニタから映像信号X、Y、ZおよびAの動画像が映し出されている。

【0003】また、たとえば映像信号YおよびAに対してスチル制御がかけられると、図13(C)に示す書込タイミング信号に同期して、図13(D)に示すようにスチル信号が映像信号YおよびAに対応する所定期間ハイレベルとなる。したがって、その期間論理回路6から

書込開始信号が出力されることはなく、マイコン2および信号生成回路3からアドレス信号およびライトイネーブル信号が出力されることはない。このようにして、モニタには現時点でVRAMに書き込まれている映像信号YおよびAの静止画像が映し出される。

【0004】

【発明が解決しようとする課題】しかし、このような従来技術では、スチル制御をオフするタイミングによってはモニタから誤った映像が出力される恐れがあった。すなわち、たとえば図14に示すタイミングP5およびP6でスチル制御がオフされると、その直後のVD信号にゲートがかからないため、図14(F)からわかるようにタイミングP5およびP6の直後に書込信号が出力される。したがって、映像信号Yと映像信号Xとが書き込まれるべきメモリ領域に映像信号YおよびZと映像信号Aとが書き込まれてしまう。このため、モニタから図15に示すような誤った映像が出力されていた。

【0005】それゆえに、この発明の主たる目的は、如何なるタイミングでスチル制御をオン/オフしようとも、モニタから所望の映像を出力することができる、メモリ制御回路を提供することである。

【0006】

【課題を解決するための手段】この発明は、複数の映像信号のそれぞれを所定期間に1回出力される書込信号によって所定のメモリ領域に書き込む書込手段、および所望の映像信号に対応するスチル信号に基づいて所望のメモリ領域に対する書込信号の出力を禁止する禁止手段を備えるメモリ制御回路において、スチル信号を所定期間毎にラッチするラッチ手段をさらに備え、ラッチ手段の出力を禁止手段に与えるようにしたことを特徴とする、メモリ制御回路である。

【0007】

【作用】スチル制御がかけられていないときは、たとえばVRAMに形成される複数のメモリ領域のそれぞれに所定期間毎に書込信号が与えられる。複数の映像信号のそれぞれは、その書込信号によって所定のメモリ領域に書き込まれる。このため、たとえばモニタから複数の動画像が出力される。所望の映像信号に対してスチル制御がかけられると、その映像信号のスチル信号がラッチ手段によってラッチされ、そのラッチ手段の出力によって書込信号の出力が禁止される。このため、モニタの所定のエリアからは静止画像が出力される。

【0008】

【発明の効果】この発明によれば、ラッチ手段の出力によって書込信号の出力を禁止するようにしたため、その禁止期間がスチル制御のオン/オフのタイミングによって変動することはなく、モニタから所望の映像を出力することができる。この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0009】

【実施例】図1を参照して、この実施例のメモリ制御回路10はタイミングジェネレータ12を含む。タイミングジェネレータ12はセレクト14に第1セレクト信号を与え、これによってセレクト14は、入力端子C1～C4から入力されたコンポジット映像信号X、Y、ZおよびAのそれぞれを、3フィールド毎に選択する。したがって、セレクト14からは図6(A)、図7(A)、図8(A)および図9(A)に示す映像信号が出力される。この映像信号はA/D変換器16でデジタル信号に変換された後、フィルタ18で水平方向において1画素おきに間引かれる。

【0010】その後、フィルタ18からの映像信号が、書込信号によって、すなわちマイコン40からのアドレス信号および信号生成回路42からのライトイネーブル信号によって、図2に示すような、カラム方向に448ラインおよびロウ方向に718ドットをもつVRAM20に書き込まれる。具体的には、映像信号Xはメモリ領域xに書き込まれ、映像信号Yはメモリ領域yに書き込まれ、映像信号Zはメモリ領域zに書き込まれ、そして映像信号Aはメモリ領域aに書き込まれる。なお、メモリ領域x～aのそれぞれは(カラム、ロウ)=(0, 0)、(0, 359)(224, 0)および(224, 359)のアドレスを基準として224ライン×359ドットの大きさをもつため、水平方向においてのみ間引き処理がなされた1フィールドすなわち224ラインの映像信号X～AをVRAM20に書き込むことができる。

【0011】VRAM20に書き込まれた映像信号X～Aは、図示しない読出信号によってインタレース方式で読み出され、D/A変換器22でアナログ信号に変換された後、出力端子c5から出力される。そして、モニタから図10に示すように映像信号X～Aが出力される。セレクト14から出力された映像信号X～Aに含まれる垂直同期信号は、メモリ制御回路10に含まれる垂直同期分離回路26で分離され、分離された垂直同期信号の立ち上がり、立ち上がり検出回路28で検出される。したがって、立ち上がり検出回路28からは、図6

(B)、図7(B)、図8(B)および図9(B)に示すように、映像信号X～Aに含まれる垂直同期信号の立ち上がりに同期したVD信号が出力される。また、スイッチ回路30からは、オベレータの制御に応じて、映像信号X～Aのそれぞれに対応するスチル信号のレベルが切り換えられる。すなわち、オベレータによってスイッチ30aがオンされるとラインL1を通じるスチル信号がハイレベルとなり、スイッチ30bがオンされるとラインL2を通じるスチル信号がハイレベルとなり、スイッチ30cがオンされるとラインL3を通じるスチル信号がハイレベルとなり、そしてスイッチ30dがオンされるとラインL4を通じるスチル信号がハイレベルとな

る。

【0012】セレクト32にはタイミングジェネレータ12から第2セレクト信号が与えられる。第2セレクト信号は2ビットのデータであり、セレクト14の出力が切り換えられてから1フィールド後にデータ値が切り換えられる。すなわち、映像信号Xが出力されてから1フィールド後にデータ値が“00”となり、映像信号Yが出力されてから1フィールド後にデータ値が“01”となり、映像信号Zが出力されてから1フィールド後にデータ値が“10”となり、そして映像信号Aが出力されてから1フィールド後にデータ値が“11”となる。そして、“00”～“11”のそれぞれにตอบสนองして、すなわち映像信号X～Aのそれぞれに対応する期間、セレクト30がラインL1～L4を介したスチル信号を選択する。

【0013】したがって、オベレータがスイッチ30a～30dのいずれも押さなければ、セレクト32から出力されるスチル信号は図6(D)に示すように常にローレベルであるが、オベレータが、たとえば図7に示すタイミングP1およびP2でスイッチ30bおよび30dを押すと、セレクト32から出力されるスチル信号は、図7(D)に示すように、タイミングP1およびP2で立ち上がり、その後、図8(D)に示すように、映像信号YおよびAに対応する期間にわたってスチル信号が立ち上がる。そして、オベレータが図9に示すタイミングP3およびP4でスイッチ30bおよび30dをオフすると、図9(D)に示すようにそのタイミングP3およびP4でスチル信号が立ち下がり、その後スチル信号は常にローレベルとなる。

【0014】タイミングジェネレータ12からはまた、第2セレクト信号の切り換えに同期して、すなわちセレクト14からの出力が切り換えられてから1フィールド後に、図6(C)、図7(C)、図8(C)および図9(C)に示すように書込タイミング信号が出力される。なお、この書込タイミング信号は図示しないクロックの周期に相当する期間ハイレベルとなる。フリップフロップ回路34では、セレクト32からのスチル信号がその書込タイミング信号によってラッチされ、これによってフリップフロップ回路34から、図6(E)、図7(E)、図8(E)および図9(E)に示すマスク信号が出力される。したがって、図6(D)に示すようにスチル信号が常にローレベルであれば、マスク信号は図6(E)に示すように常にローレベルとなる。

【0015】しかし、セレクト32からのスチル信号のレベルが変化する場合、フリップフロップ回路34では書込タイミング信号が立ち下がるタイミングでスチル信号がラッチされ、そのタイミングでのレベル信号がマスク信号となる。したがって、図7においては図7(C)に示す書込タイミング信号の立ち下がり時、スチル信号は図7(D)に示すように偶然ローレベルであるため、

マスク信号は図7(E)に示すように常にローレベルとなるが、図8においては、スチル信号は図8(D)に示すように映像信号XおよびAに対応する期間にわたってハイレベルとなるため、マスク信号は、図8(E)からわかるように、スチル信号より1クロック遅れて変化する。また、図9ではタイミングP3およびP4でスチル信号が立ち下がるが、スチル信号はタイミングP3およびP4の直前に出力された書込タイミング信号の立ち下がり時にハイレベルであるため、マスク信号は、図9

(E)に示すように、タイミングP3およびP4の後に出力される書込タイミング信号の立ち下がりまでハイレベルを維持する。
 【0016】信号生成回路36はセット端子から書込タイミング信号を受け、リセット端子からライトイネーブル信号を受け、そしてゲート信号を出力する。すなわち、図6(F)、図7(F)、図8(F)および図9(F)に示すように、信号生成回路36は書込タイミング信号の立ち上がりから1クロック遅れてゲート信号を立ち上げ、ライトイネーブル信号の立ち上がりから1クロック遅れてゲート信号を立ち下げる。信号生成回路36について説明すると、図3に示すように、セット端子C6に与えられた書込タイミング信号はOR回路36cに与えられる。また、リセット端子C7に与えられたライトイネーブル信号は反転回路36aを介してAND回路36bに与えられる。AND回路36bにはまた、フリップフロップ回路36dの出力が与えられ、両者のAND信号がOR回路36cに与えられる。そして、OR回路36cからのOR信号がフリップフロップ回路36dに与えられる。フリップフロップ回路36dの出力はまた、端子C8から出力される。

【0017】したがって、たとえば図4(B)に示すような信号がリセット端子C7に与えられると、その信号とフリップフロップ回路36dの出力とに従って、AND回路36bから図4(C)に示すAND信号が出力される。一方、セット端子C6から図4(A)に示す信号が与えられると、その信号とAND信号とに従って、OR回路36cから図4(D)に示すようなOR信号が出力される。フリップフロップ回路36dは1クロック毎にOR信号をラッチするため、フリップフロップ回路36dからは図4(E)に示すようにOR信号に対して1クロック遅れた信号が出力される。つまり、信号生成回路36からは、セット端子C6への入力の立ち上がりから1クロック遅れて立ち上がり、リセット端子C7の入力の立ち上がりから1クロック遅れて立ち下がる信号が出力される。なお、セット端子C6の入力とリセット端子C7の入力とが同時に立ち上がる場合はセット端子C6の入力の方が優先されるが、この実施例ではこのような事態は生じないため、考える必要はない。

【0018】図1に戻って、論理回路38には立ち上がり検出回路28からのVD信号、信号生成回路36から

のゲート信号およびフリップフロップ回路34からのマスク信号が与えられる。スチル制御がかけられていないとき、すなわちオペレータがスイッチ30a~30dのいずれもオンしていないときや図7に示すタイミングP1およびP2でスイッチ30bおよび30dをオンした時点では、マスク信号は図6(E)および図7(E)のように常にローレベルであるため、論理回路38からはVD信号とゲート信号との論理和が、書込の開始を指示する書込開始信号として出力される。すなわち、論理回路38からは図6(G)に示すように、書込タイミング信号に続く1つのVD信号にのみゲートがかけられる。一方、図8(E)および図9(E)のようにマスク信号がハイレベルとなる期間は、それによってVD信号およびゲート信号にマスクがかけられ、その期間の書込開始信号の出力が禁止される。このため、マイコン40からのアドレス信号の出力および信号生成回路42からのライトイネーブル信号の出力も禁止される。

【0019】マイコン40は、書込開始信号とタイミングジェネレータ12からの第2セレクト信号および書込タイミング信号とを受け、図5に示すフロー図に従ってアドレス信号と書込が終了したことを示す書込終了信号を出力する。書込終了信号はアドレス信号の出力が完了した時点で、すなわち図6(H)、図7(H)、図8(H)および図9(H)に示すように書込開始信号が出力されてからほぼ1フィールド後に、1クロック期間ハイレベルとなる。一方、信号生成回路42は書込開始信号および書込終了信号に従って図6(I)、図7(I)、図8(I)および図9(I)に示すようにライトイネーブル信号を出力する。すなわち、書込開始信号をセット端子から受け、その立ち上がりから1クロック遅れてライトイネーブル信号を立ち上げる。また、書込終了信号をリセット端子から受け、書込終了信号の立ち上がりから1クロック遅れてライトイネーブル信号を立ち下げる。なお、信号生成回路42は信号生成回路36と同様に構成されているため、重複した説明を省略する。

【0020】マイコン40の処理を図5に示すフロー図を用いて説明する。マイコン40はまずステップS1で書込タイミング信号が立ち上がったかどうか判断し、“NO”であればステップS1に戻るが、“YES”であれば、ステップS3~S9のそれぞれで第2セレクト信号のデータ値を判別する。そして、データ値が“00”であれば、ステップS11で書込の開始アドレスを(カラム, ロウ) = (0, 0)とし、データ値が“01”であれば、ステップS13で開始アドレスを(カラム, ロウ) = (0, 359)とし、データ値が“10”であれば、ステップS15で開始アドレスを(カラム, ロウ) = (224, 0)とし、そしてデータ値が“11”であれば、ステップS17で開始アドレスを(カラム, ロウ) = (224, 359)とする。続いて、ステ

ップS19で書込開始信号が与えられたかどうか判断し、“NO”であればステップS3に戻るが、“YES”であればステップS19で、開始アドレスを基準とする224ラインおよび359ドットの領域に、アドレス信号を出力する。そして、アドレス信号の出力が終了すると、ステップS23で書込終了信号を出力し、ステップS1に戻る。このため、ライトイネーブル信号はアドレス信号の出力が終了してから1クロック後に立ち下がる。なお、書込タイミング信号が立ち上がってから映像信号を書込処理を行うようにしたため、セクタ14の出力が切り換わってから1フィールド期間を用いてクロックを垂直同期信号にロックすることができる。

【0021】この実施例によれば、図6のようにスチル制御がかけられていないときは、フリップフロップ回路34から出力されるマスク信号は常にローレベルであるため、信号生成回路36からのゲート信号によって、書込タイミング信号に続く1つのVD信号のみが、書込開始信号としてマイコン40および信号生成回路42に与えられる。このため、書込開始信号に従ってマイコン40および信号生成回路42からアドレス信号およびライトイネーブル信号が出力され、書込終了信号によってライトイネーブル信号が立ち下がる。したがって、セクタ14で選択された映像信号X～AがVRAM20のメモリ領域x～aに書き込まれる。このため、モニタからは映像信号X～Aに対応する動画画が出力される。

【0022】図7に示すタイミングP1およびP2で映像信号YおよびAにスチル制御がかけられると、セクタ32から図7(D)に示すスチル信号が出力されるが、そのスチル信号が図7(C)に示す書込タイミング信号に応じてフリップフロップ回路34でラッチされることによって、マスク信号は図7(E)に示すように依然としてローレベルとなる。このため、この時点ではまだモニタ24からは動画画が出力される。

【0023】しかし、次回からは、図8(D)に示すように、書込タイミング信号の立ち上がり同期して映像信号YおよびAに対応するスチル信号が立ち上がるため、フリップフロップ回路34からはそのスチル信号より1クロック遅れたマスク信号が出力される。したがって、マスク信号がハイレベルとなる期間マイコン40および信号生成回路42からのアドレス信号およびライトイネーブル信号の出力が禁止され、VRAM20のメモリ領域yおよびaに映像信号YおよびAが書き込まれることはない。したがって、モニタからは現時点でVRAM20に書き込まれている映像信号YおよびAに対応する静止画像が出力される。その後、図9に示すタイミングP3およびP4でスチル制御がオフされると、図9(D)に示すようにそのタイミングでスチル信号が立ち下がる。しかし、マスク信号は図9(E)に示すようにタイミングP3およびP4以降もハイレベルを維持し、書込タイミング信号の立ち下がりに同期して立ち下が

る。このため、図8に示すタイミングと同様に、VRAM20のメモリ領域yおよびaに映像信号YおよびAは書き込まれず、モニタ24からは現時点で書き込まれている映像信号YおよびAに対応する静止画像が出力される。

【0024】この実施例によれば、スチル信号を書込タイミング信号に応じてフリップフロップ回路34でラッチするようにしたため、如何なるタイミングでスチル制御をオン/オフしようとも、モニタからは図10に示すように所望の画像を出力することができる。

【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図である。

【図2】VRAMを示す図解図である。

【図3】信号生成回路を示すブロック図である。

【図4】図3実施例の動作を示すタイミング図であり、(A)はセット端子入力を示す波形図であり、(B)はリセット端子入力を示す波形図であり、(C)はAND信号を示す波形図であり、(D)はOR信号を示す波形図であり、そして(E)はフリップフロップ回路の出力を示す波形図である。

【図5】図1実施例の動作の一部を示すフロー図である。

【図6】図1実施例の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はマスク信号を示す波形図であり、(F)はゲート信号を示す波形図であり、(G)は書込開始信号を示す波形図であり、(H)は書込終了信号を示す波形図であり、(I)はライトイネーブル信号を示す波形図である。

【図7】図1実施例の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はマスク信号を示す波形図であり、(F)はゲート信号を示す波形図であり、(G)は書込開始信号を示す波形図であり、(H)は書込終了信号を示す波形図であり、(I)はライトイネーブル信号を示す波形図である。

【図8】図1実施例の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はマスク信号を示す波形図であり、(F)はゲート信号を示す波形図であり、(G)は書込開始信号を示す波形図であり、(H)は書込終了信号を示す波形図であり、(I)はライトイネーブル信号を示す波形図である。

【図9】図1実施例の動作の一部を示すタイミング図で

あり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はマスク信号を示す波形図であり、

(F)はゲート信号を示す波形図であり、(G)は書込開始信号を示す波形図であり、(H)は書込終了信号を示す波形図であり、(I)はライトイネーブル信号を示す波形図である。

【図10】モニタから出力される映像信号を示す図解図である。

【図11】従来技術を示すブロック図である。

【図12】図11に示す従来技術の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はゲート信号を示す波形図であり、(F)は書込開始信号を示す波形図であり、(G)は書込終了信号を示す波形図であり、(H)はライトイネーブル信号を示す波形図である。

【図13】図11に示す従来技術の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル*

*信号を示す波形図であり、(E)はゲート信号を示す波形図であり、(F)は書込開始信号を示す波形図であり、(G)は書込終了信号を示す波形図であり、(H)はライトイネーブル信号を示す波形図である。

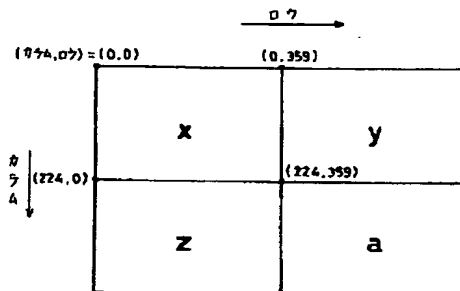
【図14】図11に示す従来技術の動作の一部を示すタイミング図であり、(A)は映像信号を示す図解図であり、(B)はVD信号を示す波形図であり、(C)は書込タイミング信号を示す波形図であり、(D)はスチル信号を示す波形図であり、(E)はゲート信号を示す波形図であり、(F)は書込開始信号を示す波形図であり、(G)は書込終了信号を示す波形図であり、(H)はライトイネーブル信号を示す波形図である。

【図15】従来技術のモニタから出力される映像信号を示す図解図である。

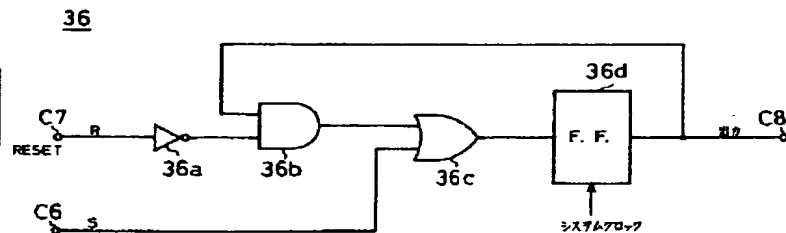
【符号の説明】

- 10 …メモリ制御回路
- 12 …タイミングジェネレータ
- 20 …VRAM
- 34 …フリップフロップ回路
- 36, 42 …信号生成回路
- 38 …論理回路
- 40 …マイコン

【図2】

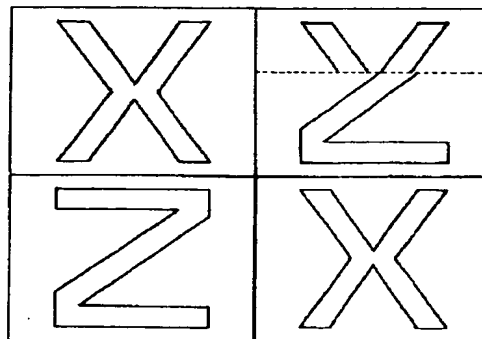
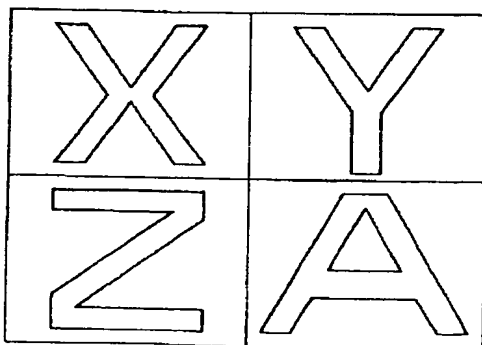


【図3】

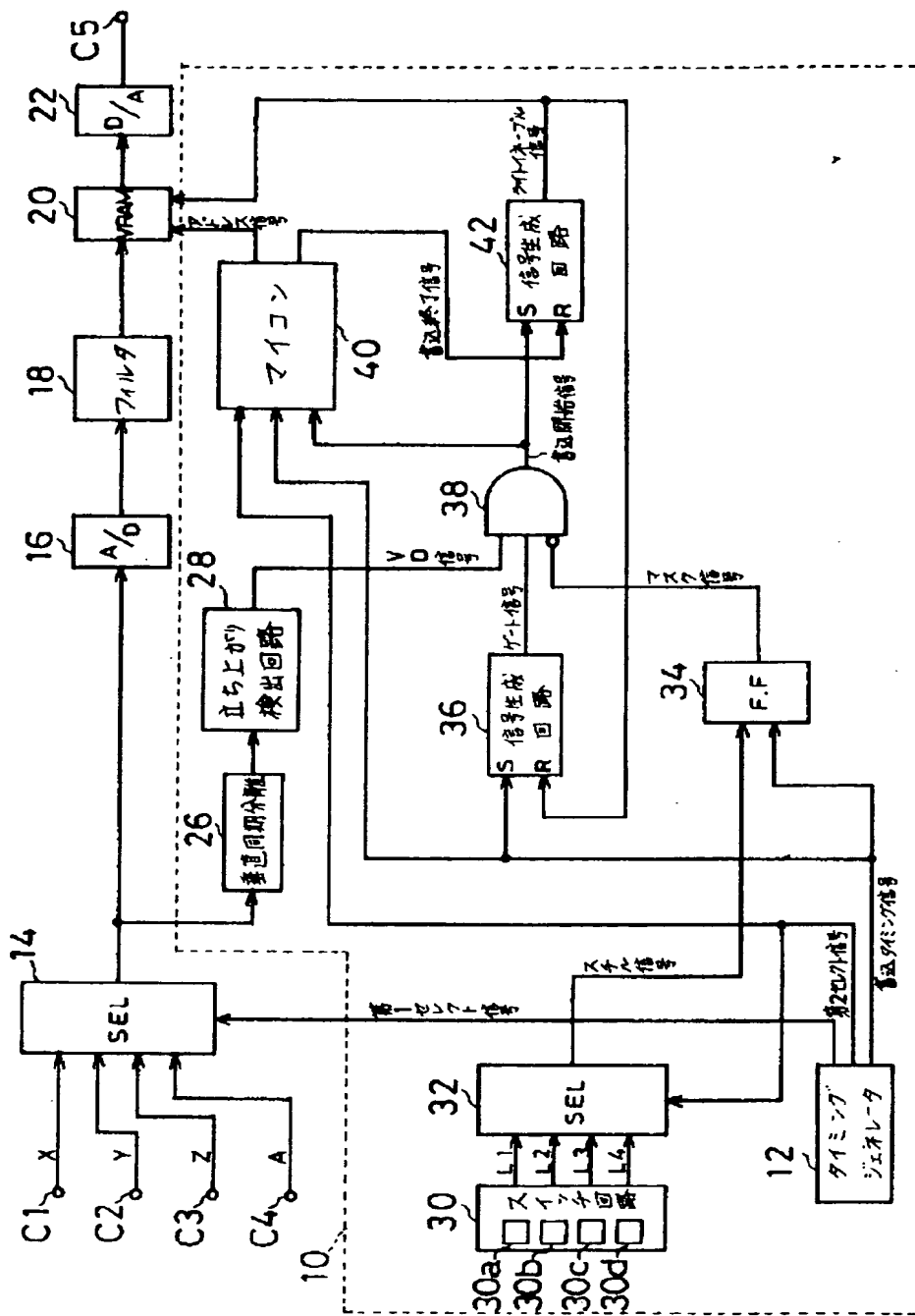


【図15】

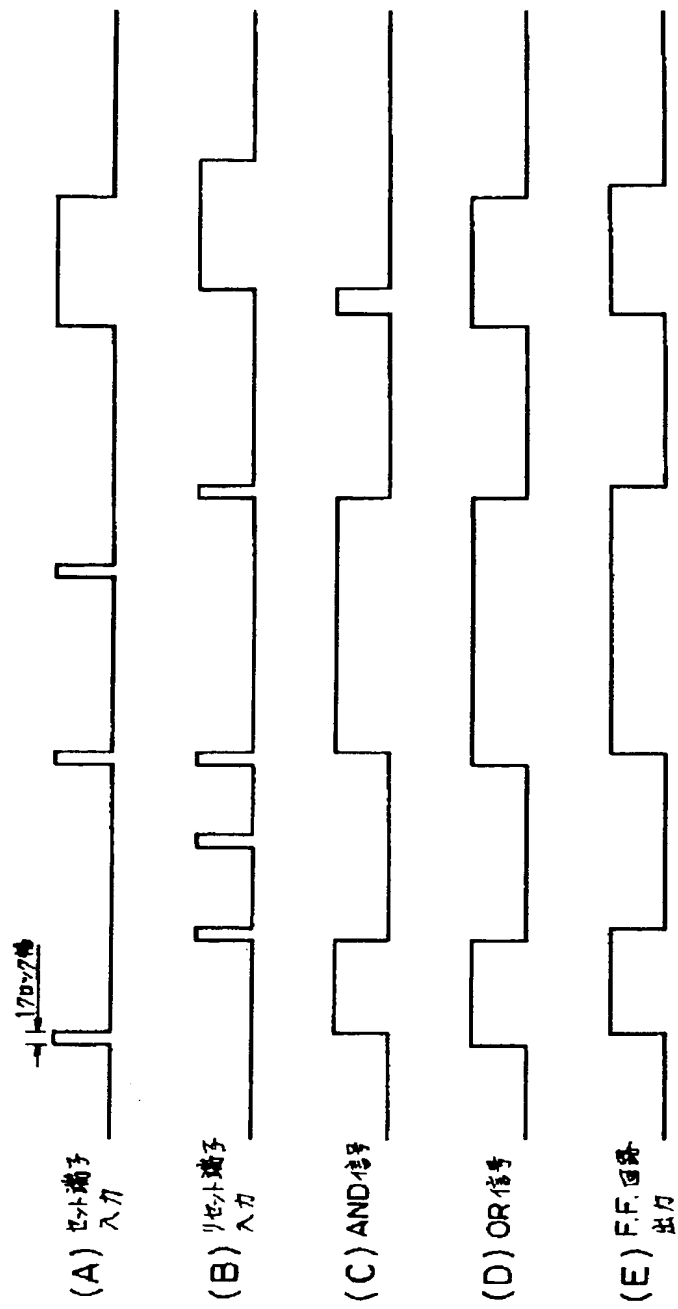
【図10】



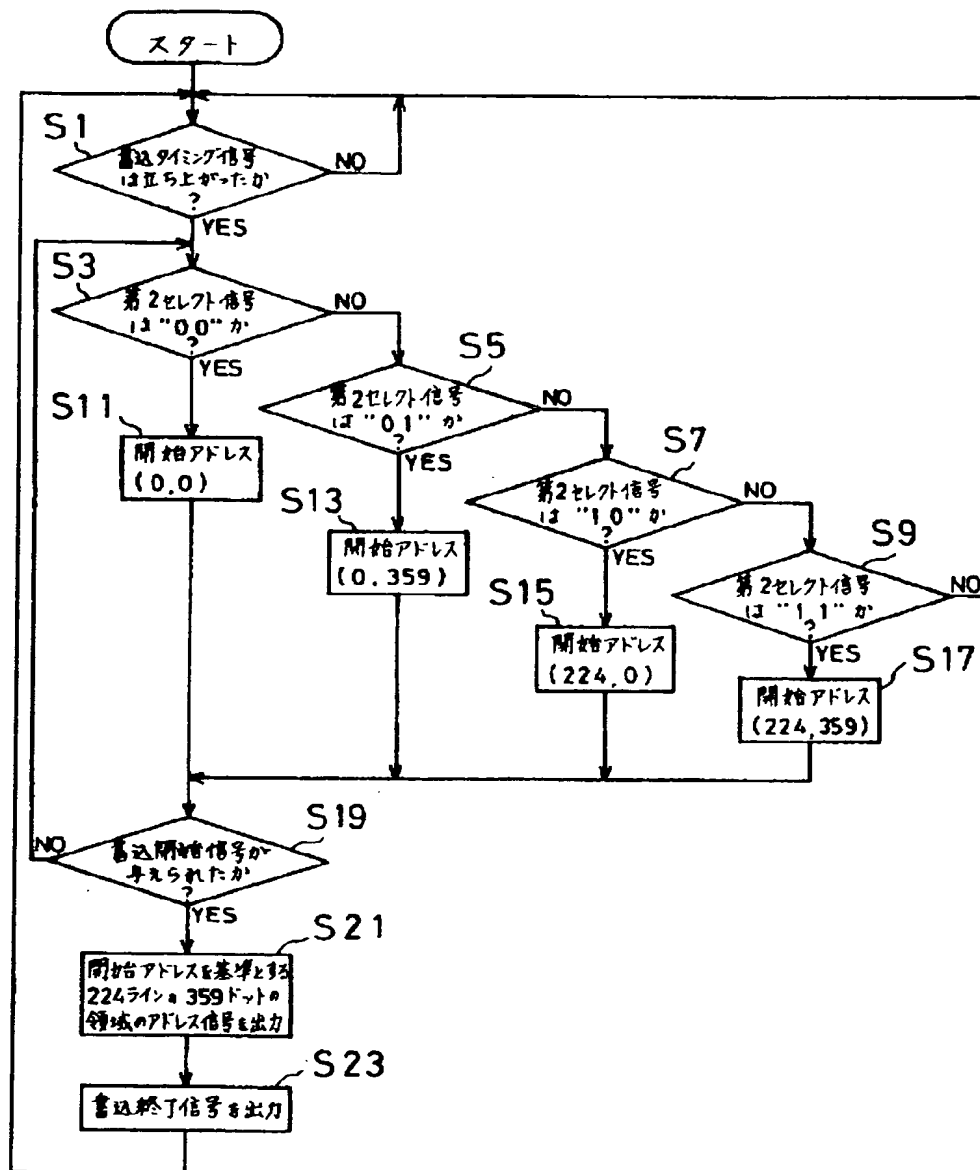
【図1】



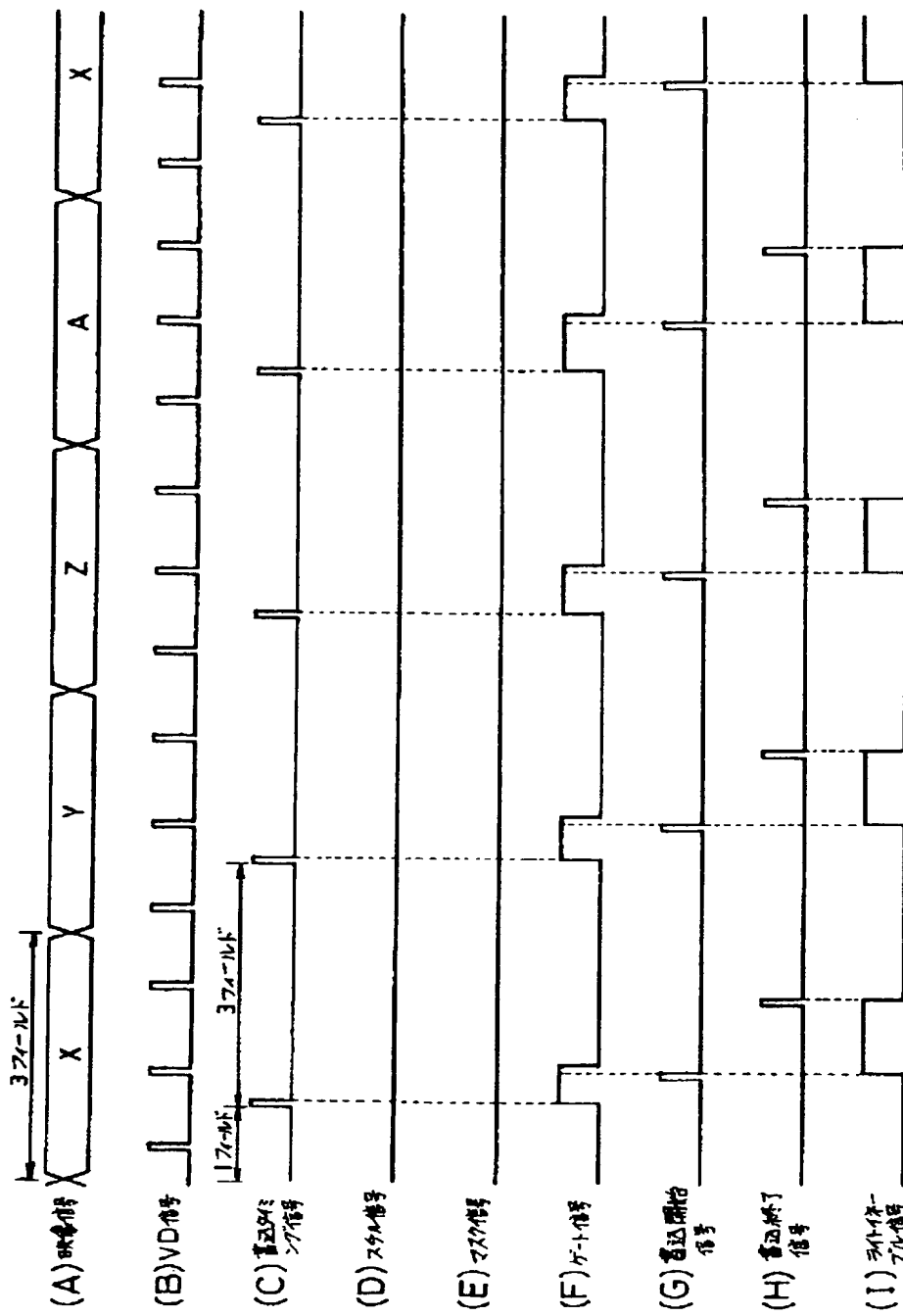
【図4】



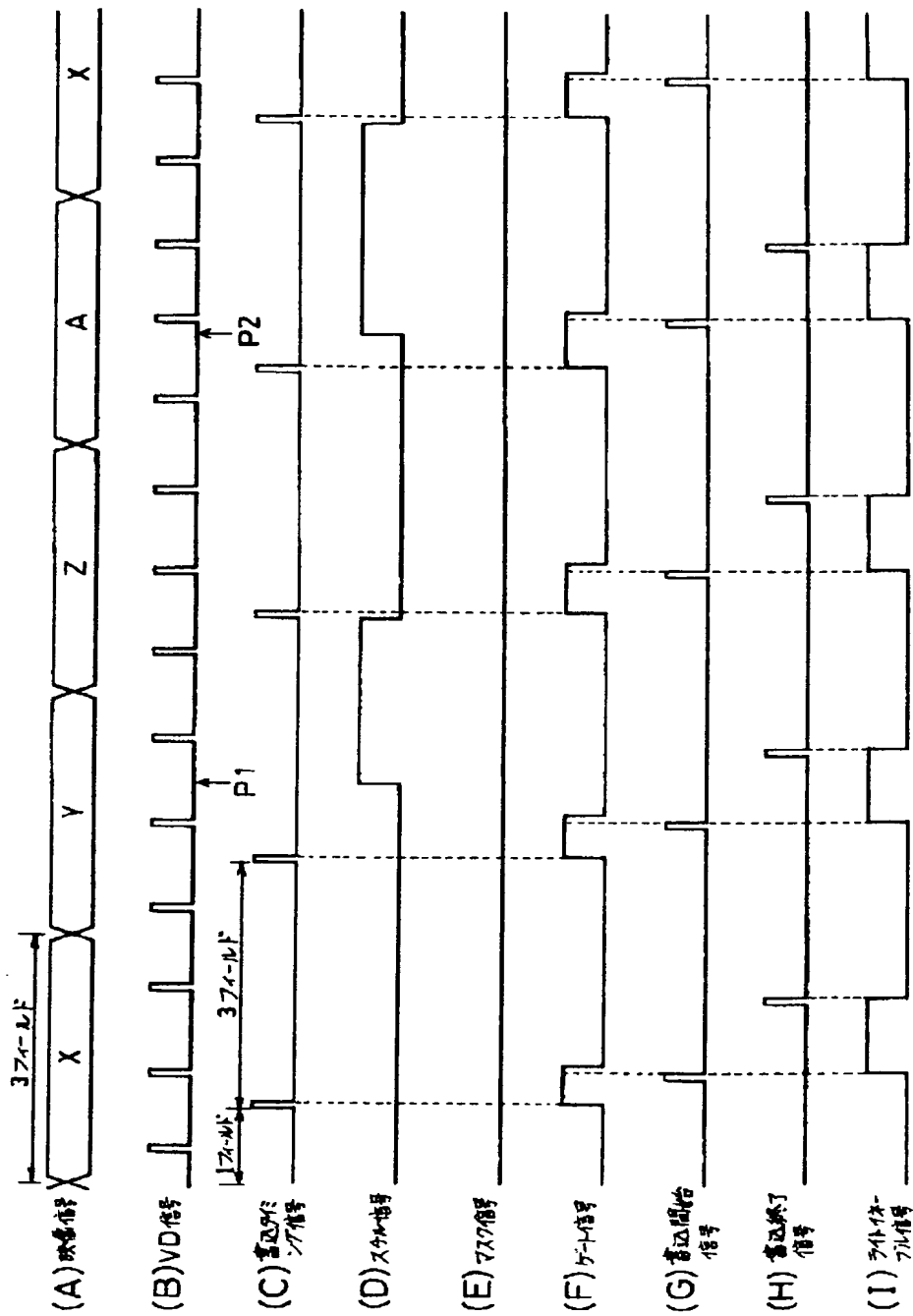
【図5】



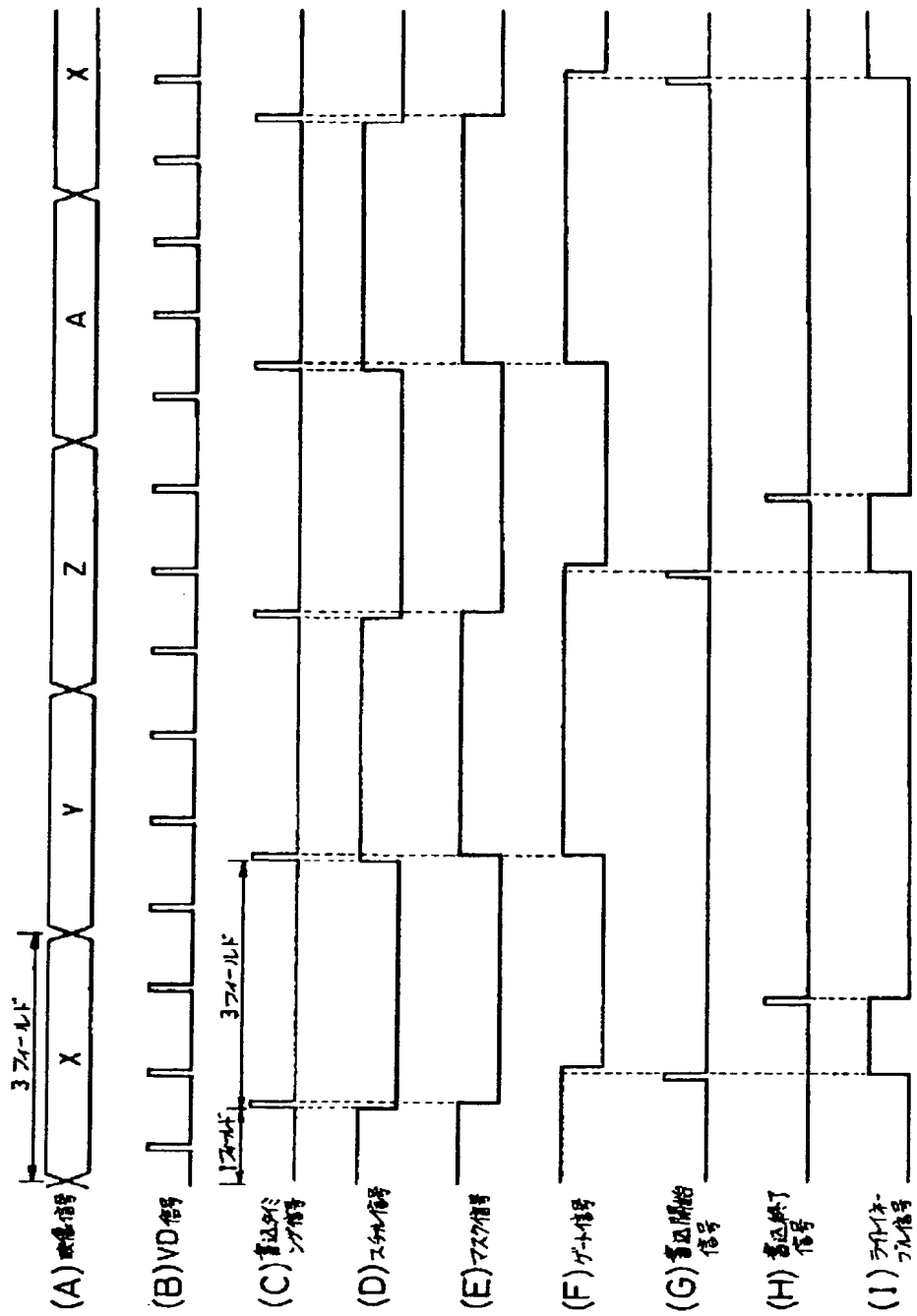
【図6】



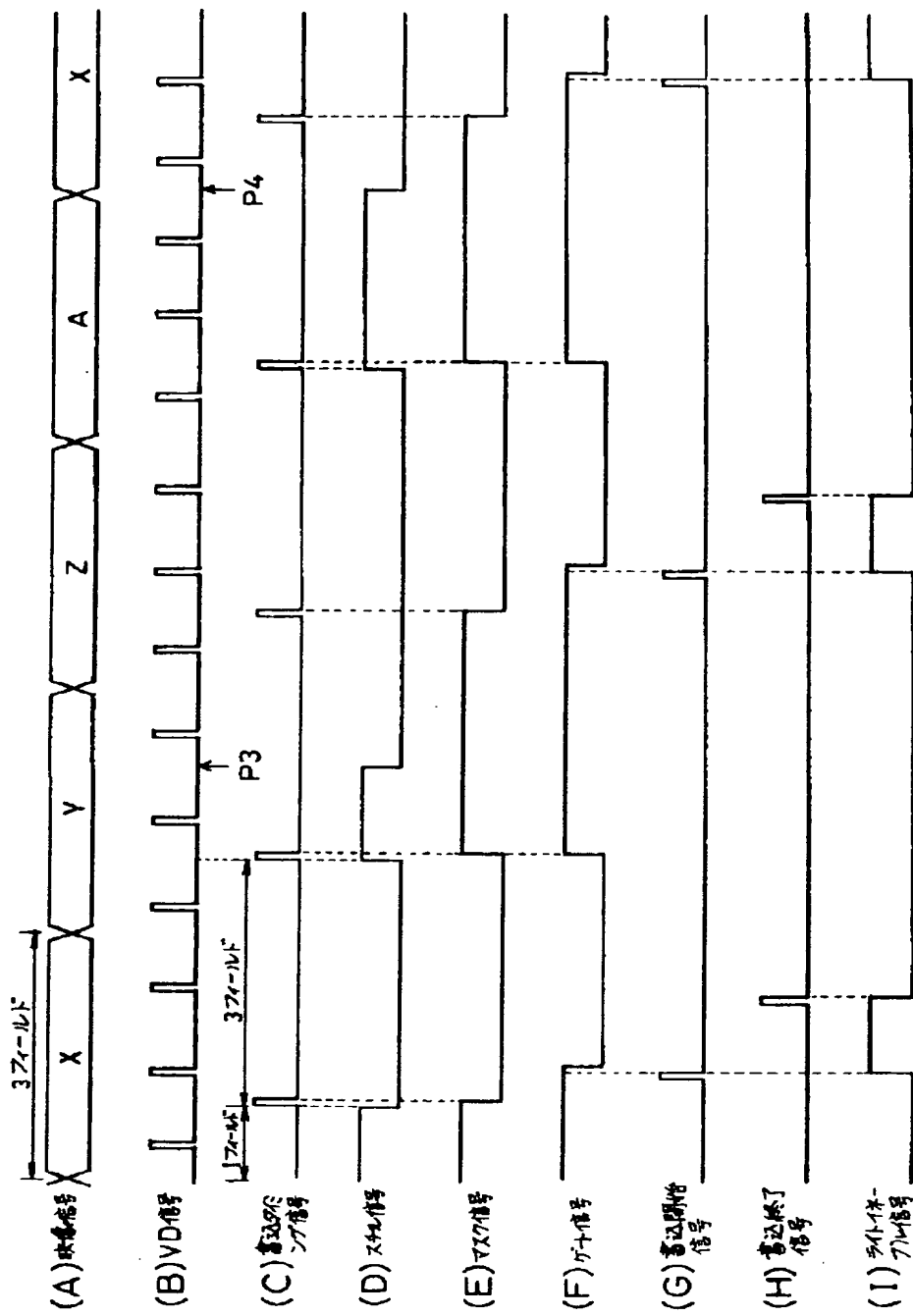
【図7】



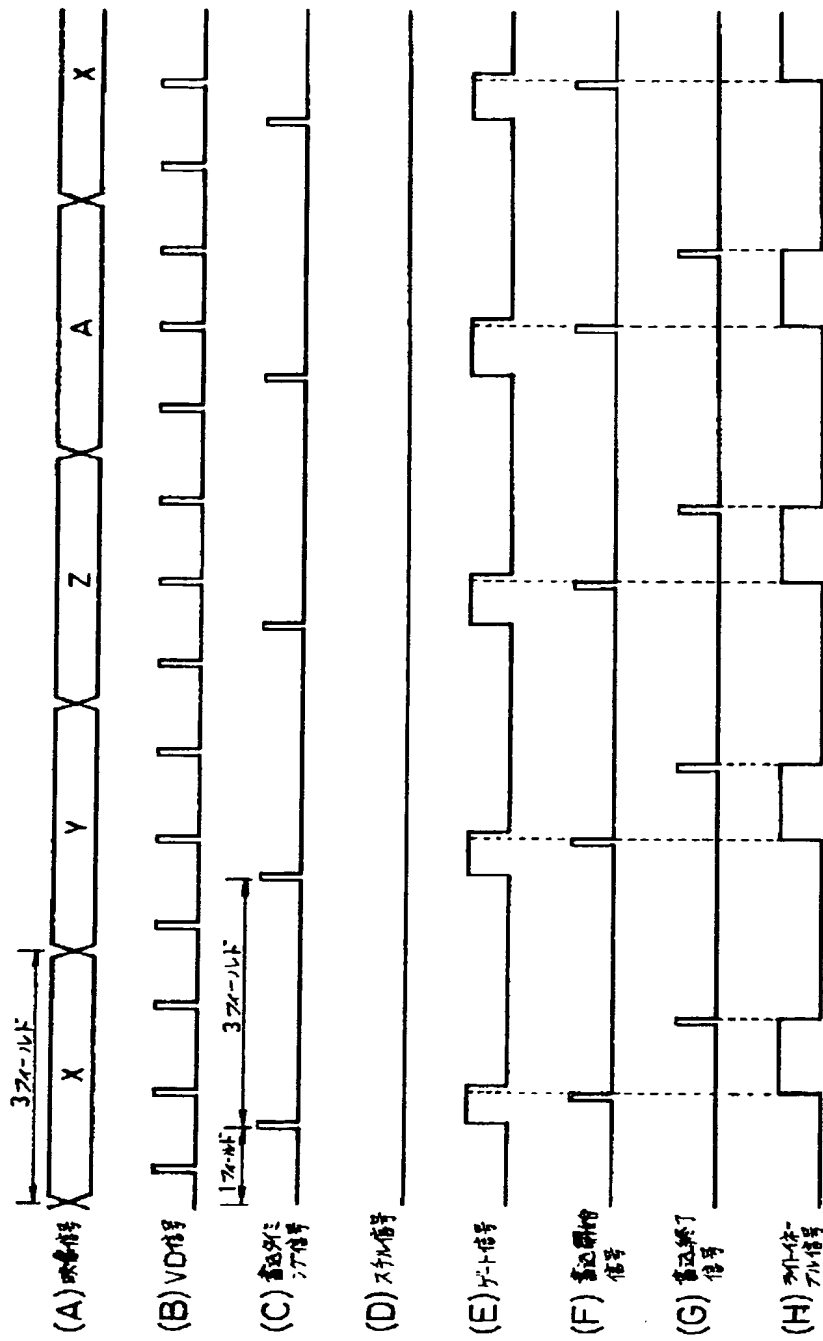
【図8】



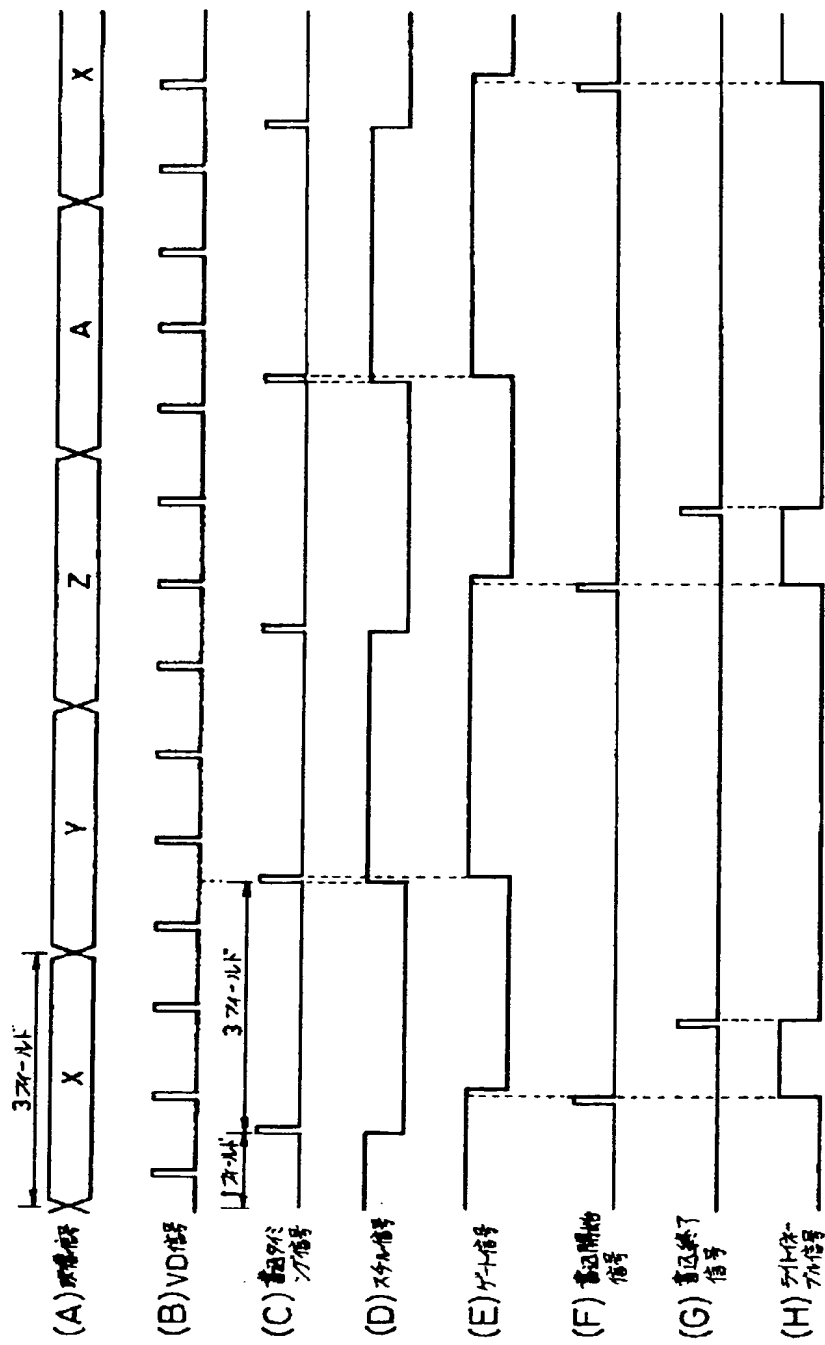
【図9】



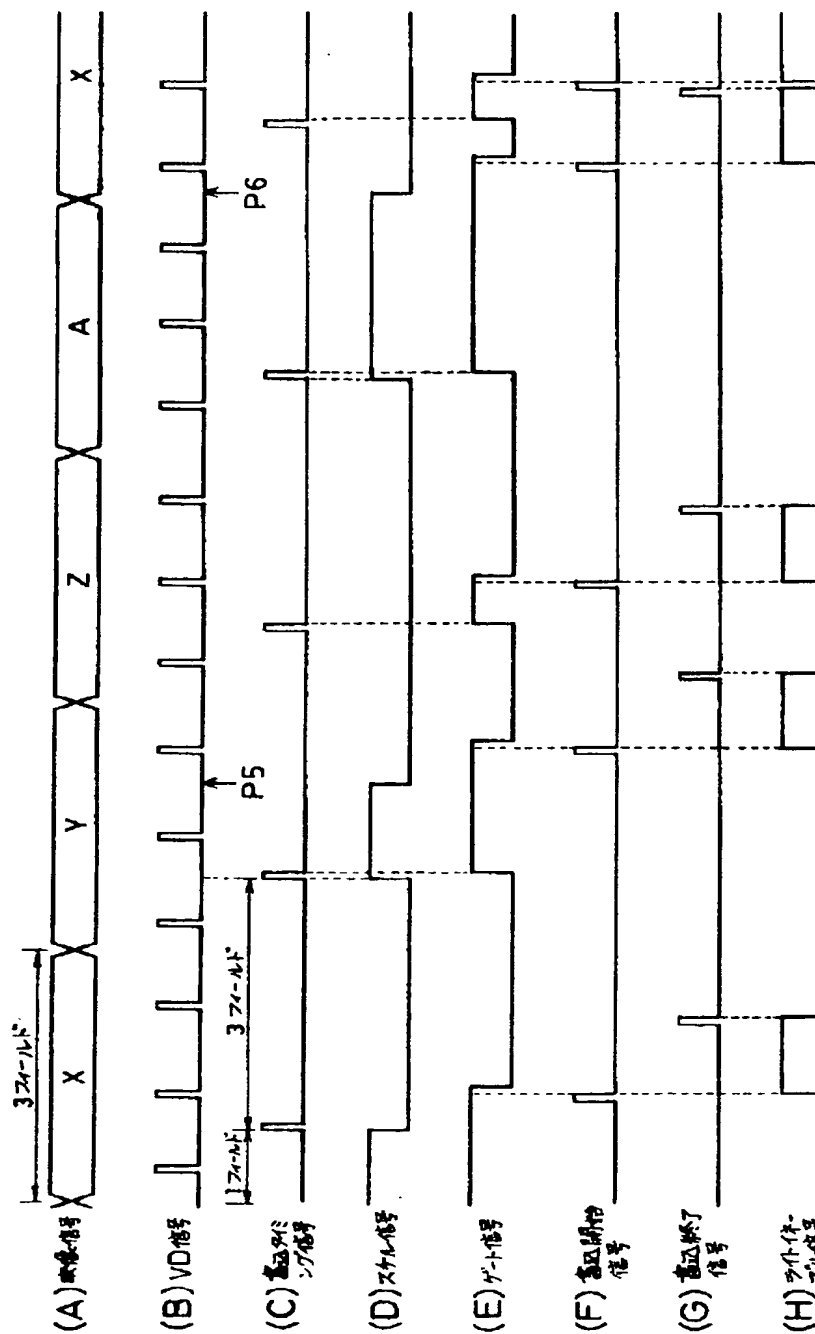
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl.⁶H04N 5/262
5/907

識別記号

片内整理番号

F1

H04N 5/907
G06F 15/62

技術表示箇所

B
320P

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.